

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367503  
 (43)Date of publication of application : 20.12.2002

(51)Int.CI. H01J 1/312  
 H01J 9/02  
 H01J 29/04  
 H01J 31/12

(21)Application number : 2001-170454

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.06.2001

(72)Inventor : KUSUNOKI TOSHIAKI  
 SAGAWA MASAKAZU  
 SUZUKI MUTSUMI  
 SAKAKI YOICHI

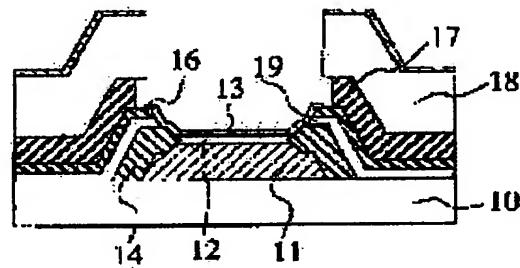
## (54) THIN FILM TYPE ELECTRON SOURCE, ITS FABRICATING METHOD, AND IMAGE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image display device free of any defect in the picture element capable of facilitating the fabrication of a defectfree, thin-film type electron source array.

図1

**SOLUTION:** A second protective insulating layer 19 is formed under upper bus electrodes 16 and 17 to serve as a current feeder line to the upper electrode 13 of the thin-film type electron source array, and any defects of a protective insulating layer 14 to restrict an electron emission part are covered with the insulating layer 19.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-367503

(P2002-367503A)

(43)公開日 平成14年12月20日 (2002. 12. 20)

(51)Int.Cl.<sup>7</sup>  
H 0 1 J 1/312  
9/02  
29/04  
31/12

識別記号

F I  
H 0 1 J 9/02  
29/04  
31/12  
1/30

テマコト<sup>8</sup> (参考)  
M 5 C 0 3 1  
5 C 0 3 6  
C  
M

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21)出願番号 特願2001-170454(P2001-170454)

(22)出願日 平成13年6月6日 (2001. 6. 6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 楠 敏明

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72)発明者 佐川 雅一

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

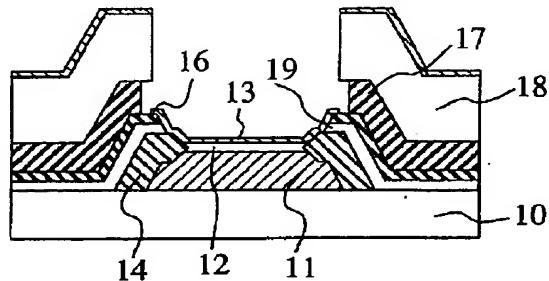
(54)【発明の名称】 薄膜型電子源及びその作製方法、及び画像表示装置

(57)【要約】

【課題】無欠陥の薄膜型電子源アレイの作製を容易にし、画素欠陥のない画像表示装置を提供する。

【解決手段】薄膜型電子源アレイの上部電極13への給電線となる上部バス電極16、17の下に、第2保護絶縁層19を形成し、電子放出部を制限する保護絶縁層14の欠陥を被覆する。

図1



## 【特許請求の範囲】

【請求項1】下部電極と、上部電極と、前記両電極間に挟まれた電子加速層とを有し、前記下部電極と前記上部電極との間に電圧を印加することにより前記上部電極側より電子を放出する薄膜型電子源であって、前記電子加速層を制限し前記下部電極を保護する第1保護絶縁層と、前記上部電極の給電線となる上部バス電極との間に第2保護絶縁層を設けてなることを特徴とする薄膜型電子源。

【請求項2】下部電極と、電子加速層と、上部電極とをこの順番に積層した構造を有し、前記下部電極と前記上部電極との間に電圧を印加することにより前記上部電極表面から電子を放出する薄膜型電子源をアレイ状に設けた基板と、蛍光面とを備えた画像表示装置であって、前記薄膜型電子源は、前記電子加速層を制限し前記下部電極を保護する第1保護絶縁層と、前記上部電極への給電線となる上部バス電極とを有し、かつ、前記第1保護絶縁層と前記上部バス電極との間に第2保護絶縁層を有してなることを特徴とする画像表示装置。

【請求項3】下部電極と、電子加速層と、上部電極とをこの順番に積層した構造を有し、前記上部電極と前記下部電極との間に電圧を印加した際に、前記上部電極表面から電子を放出する複数個の薄膜型電子源をマトリクス状に配置した基板と、枠部材と、蛍光体を有する表示側基板とを備え、前記基板、前記枠部材および前記表示側基板とで囲まれる空間が真空雰囲気とされる表示パネルと、前記複数個の薄膜型電子源のうち行もしくは列方向の薄膜型電子源の複数の下部電極に駆動電圧を印加する下部電極駆動回路と、前記複数個の薄膜型電子源のうち列もしくは行方向の薄膜型電子源の複数の上部電極に駆動電圧を印加する上部電極駆動回路とを具備し、かつ、前記薄膜型電子源は、前記電子加速層を制限し前記下部電極を保護する第1保護絶縁層と、前記上部電極の給電線となる上部バス電極との間に第2保護絶縁層を有してなることを特徴とする画像表示装置。

【請求項4】絶縁性の基板上に、下部電極層と電子加速層と上部電極層とをこの順番に積層した構造を形成し、かつ、前記電子加速層を制限し前記下部電極を保護する第1保護絶縁層と、前記上部電極の給電線となる上部バス電極層とを形成する工程を有する薄膜型電子源の作製方法であって、前記第1保護絶縁層と前記上部バス電極層との間に第2保護絶縁層を形成する工程を有してなることを特徴とする薄膜型電子源の作製方法。

【請求項5】前記第1保護絶縁層を、陽極酸化による成膜法で形成してなることを特徴とする請求項4記載の薄膜型電子源の作製方法。

【請求項6】前記第2保護絶縁層を、前記下部電極層および前記第1保護絶縁層に対し選択エッチングできる絶縁膜材料で形成してなることを特徴とする請求項5記載の薄膜型電子源の作製方法。

【請求項7】前記下部電極層はアルミニウム(A1)もしくはA1合金であり、前記第1保護絶縁層はA1もしくはA1合金の陽極酸化膜であり、かつ、前記第2保護絶縁層は前記第1保護絶縁層に対し選択エッチングできる絶縁膜材料で形成され、前記上部バス電極の前記第2保護絶縁層と接する部分は、前記第2保護絶縁層と一括エッチングできる導電材料で形成されてなることを特徴とする請求項4記載の薄膜型電子源の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画像表示装置に係り、特に、薄膜型電子源を用いて画像表示する画像表示装置に関する。

## 【0002】

【従来の技術】薄膜型電子源とは、上部電極-電子加速層-下部電極の3層薄膜構造を基本とし、上部電極-下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。例えば、金属-絶縁体-金属を積層したMIM (Metal-Insulator-Metal)型、金属-絶縁体-半導体を積層したMIS (Metal-Insulator-Semiconductor)型、金属-絶縁体-半導体-金属型、等がある。

【0003】MIM型については、例えば「特開平7-65710号」において、金属-絶縁体-半導体型については、MOS型が「J. Vac. Sci. Technol., B11 (2), p.429-432 (1993)」において報告されており、また、金属-絶縁体-半導体-金属型については、HEED (high-efficiency-electro-emission device)型が「Jpn.J.Appl. Phys., vol. 36, p L939」において、EL (Electroluminescence)型が「応用物理 第63巻、第6号、592頁」等において、ポーラスシリコン型が「応用物理 第66巻、第5号、437頁」等において、それぞれ報告されている。

【0004】薄膜型電子源の動作原理について、図2にMIM型を例にとって示した。上部電極13と下部電極11との間に駆動電圧Vdを印加して、絶縁層12内の電界を1~10MV/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンは、絶縁層12中、および上部電極13中で散乱され、エネルギーを損失するが、上部電極13の仕事関数以上エネルギーを有する一部のホットエレクトロンは、真空中に放出される。

【0005】他の薄膜型電子源も、原理は多少異なるものもあるが、薄い上部電極13を通してホットエレクトロンを放出する点で共通している。

【0006】このような薄膜型電子源は、複数本の上部電極13と、複数本の下部電極11を直交させてマトリクスを形成すると、任意の場所から電子線を発生させる

ことができる。これまで、 $\text{Au}-\text{Al}_2\text{O}_3-\text{Al}$ 構造のMIM (Metal-Insulator-Metal) 構造などから電子放出が観測されている。

【0007】なお、通常、このようなマトリクス構造の薄膜型電子源アレイを形成する場合、図3に示すように、電子放出部を制限し、かつ下部電極11の配線端部への電界集中を防止するための保護絶縁層14と、薄くてシート抵抗が高い上部電極13への給電を目的とした上部バス電極15が電子放出部以外に形成される。

【0008】

【発明が解決しようとする課題】薄膜型電子源アレイは、下部電極11と、上部電極13および上部バス電極15のXYマトリクスに電圧を印加し画像表示を行うため、それらの電極間の絶縁が重要である。絶縁不良があると下部電極11と、上部電極13または上部バス電極15間が電気的に短絡し、画像欠陥を生じる。そのため電子加速層となる絶縁層12、および電子放出部を制限する保護絶縁層14は無欠陥であることが望まれる。

【0009】種々の成膜法の中で陽極酸化などの電気化学的な成膜法は、絶縁層12や保護絶縁層14の形成において高い膜質、膜厚の均一性が得られる手法であり、薄膜型電子源アレイの形成に適する。

【0010】しかしながら、電気化学的手法の欠点として、膜表面で汚染などにより電流が流れない場所があると欠陥が発生してしまう点があげられる。例えば、陽極酸化の場合、下部電極11の表面にレジスト等の汚染があり、電流が流れない場所は酸化できないので、欠陥となってしまう。その欠陥部位上に上部電極13やその上部バス電極15が形成され、駆動電圧 $V_d$ が印加されると絶縁破壊を生じやすい。特に、上部バス電極15は、給電を目的とするので上部電極13より厚く形成されており、保護絶縁層14が絶縁破壊して大きな電流が流れても、電極が溶融消失し絶縁が自己回復するセルフヒーリング効果や、ヒューズ溶断等による欠陥部位の切り離しは難しい。

【0011】また、電子放出部となる絶縁層12には、駆動時、高電界が印加されるため、特に高品質の膜質が必要である。そのため、絶縁層12はプロセスダメージを避けるため上部電極13を形成する直前に初めて陽極酸化するか、またはあらかじめ形成した絶縁層12を、上部バス電極15の加工後、再度陽極酸化してプロセスダメージを修復するのが望ましい。そのためには、上部バス電極15が保護絶縁層14上にある状態で、絶縁層12を形成あるいは修復するための陽極酸化を行う必要がある。

【0012】この場合、図4に示すように、上部バス電極15は電解液21を介して陰極板22とほぼ同電位となるため(点線で表示)、陽極となる下部電極11と上部バス電極15の間の保護絶縁層14に化成電圧 $V_{ox}$ が

印加される。そのため、保護絶縁層14にもし欠陥23があると陽極酸化中に絶縁破壊し、下部電極11と上部バス電極15が短絡してしまう。

【0013】したがって、保護絶縁層14を無欠陥で形成し、上部バス電極15と下部電極11間の絶縁を確保することは、特に重要である。そのためには、保護絶縁層14の形成する際に下部電極11表面を完全に清浄化しなければならない。しかしながら、ホトプロセス工程などを経た基板を、完全な清浄状態に保つことは容易ではなく、歩留まりが低下しやすい。

【0014】本発明の目的は、上部バス電極と下部電極間に挟まれた保護絶縁層に欠陥があった場合でも絶縁破壊を防止し、無欠陥の薄膜型電子源アレイの作製を容易にすることにより、画素欠陥のない画像表示装置、さらに、薄膜型電子源およびその作製方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するためには、本発明の薄膜型電子源は、下部電極と、上部電極と、それらの両電極間に挟まれた電子加速層とを有し、下部電極と上部電極との間に電圧を印加することにより上部電極側より電子を放出する薄膜型電子源であって、電子加速層を制限し下部電極を保護する第1保護絶縁層と、上部電極の給電線となる上部バス電極との間に第2保護絶縁層を設けてなることを特徴とする。

【0016】また、本発明による画像表示装置は、下部電極と、電子加速層と、上部電極とをこの順番に積層した構造を有し、下部電極と前記上部電極との間に電圧を印加することにより上部電極表面から電子を放出する薄膜型電子源をアレイ状に設けた基板と、蛍光面とを備えた画像表示装置であって、前記薄膜型電子源は、電子加速層を制限し下部電極を保護する第1保護絶縁層と、上部電極への給電線となる上部バス電極とを有し、かつ、第1保護絶縁層と上部バス電極との間に第2保護絶縁層を有してなることを特徴とする。

【0017】また、本発明による画像表示装置は、下部電極と、電子加速層と、上部電極とをこの順番に積層した構造を有し、上部電極と下部電極との間に電圧を印加した際に、上部電極表面から電子を放出する複数個の薄膜型電子源をマトリクス状に配置した基板と、枠部材と、蛍光体を有する表示側基板とを備え、前記基板、前記枠部材および前記表示側基板とで囲まれる空間が真空雰囲気とされる表示パネルと、前記複数個の薄膜型電子源のうち行もしくは列方向の薄膜型電子源の複数の下部電極に駆動電圧を印加する下部電極駆動回路と、前記複数個の薄膜型電子源のうち列もしくは行方向の薄膜型電子源の複数の上部電極に駆動電圧を印加する上部電極駆動回路とを具備し、かつ、前記薄膜型電子源は、電子加速層を制限し下部電極を保護する第1保護絶縁層と、上部電極の給電線となる上部バス電極との間に第2保護絶

縁層を有してなることを特徴とする。

【0018】また、本発明による薄膜型電子源の作製方法は、絶縁性の基板上に、下部電極層と電子加速層と上部電極層とをこの順番に積層した構造を形成し、かつ、電子加速層を制限し下部電極を保護する第1保護絶縁層と、上部電極の給電線となる上部バス電極層とを形成する工程を有する薄膜型電子源の作製方法であって、第1保護絶縁層と上部バス電極層との間に第2保護絶縁層を形成する工程を有してなることを特徴とする。

【0019】本発明は、特に、第1保護絶縁層が陽極酸化膜であり、第2保護絶縁層が他の成膜プロセスで形成されている場合に有効である。

【0020】また、本発明は、下部電極がAlもしくはAl合金であり、第1保護絶縁層はその陽極酸化膜であり、第2保護絶縁層は下部電極およびその陽極酸化膜に対し選択エッチングできる絶縁膜材料である場合に有効である。さらに、上部バス電極の第2保護絶縁層と接する部分は、第2保護絶縁層と一括エッチングできる導電材料であると有効である。

【0021】

【発明の実施の形態】以下、本発明の実施例を、図面を参照して説明する。

【0022】本発明の薄膜型電子源の作製方法を、MIM型の薄膜型電子源を一例にとって説明する。図5～13および15は、その工程を示す。何れの図中においても、下部に示す平面図をもとに、そのA-A'断面、B-B'断面を示す。

【0023】まず、図5に示すように、ガラス等の絶縁性の基板10上に下部電極用の金属膜を成膜する。下部電極材料としてはAlやAl合金を用いる。AlやAl合金を用いたのは、陽極酸化により良質の絶縁膜を形成できるからである。ここでは、Ndを2原子量%ドープしたAl-Nd合金を用いた。成膜には、例えば、スパッタリング法を用いる。膜厚は300nmとした。成膜後はホト工程、エッチング工程によりストライブ形状の下部電極11を形成した。エッチングは、例えば、磷酸、酢酸、硝酸の混合水溶液でのウェットエッチングを用いる。

【0024】次に、第1保護絶縁層14、絶縁層12を形成する。まず、図6に示すように、下部電極11上の電子放出部となる部分をレジスト膜25でマスクし、その他の部分を選択的に厚く陽極酸化し、第1保護絶縁層14とする。化成電圧を100Vとすれば、厚さ約13.6nmの第1保護絶縁層14が形成される。つぎに、図7に示すように、レジスト膜25を除去し、残りの下部電極11の表面を陽極酸化する。例えば、化成電圧を6Vとすれば、下部電極11上に厚さ約10nmの絶縁層12が形成される。

【0025】次に、図8に示すように、上部電極13への給電線となる上部バス電極膜とその第2保護絶縁層1

10

6

9を、例えば、スパッタリング法等で成膜する。第2保護絶縁層19としては、特にAlやその陽極酸化膜に対し選択エッチングできる絶縁膜材料が望ましい。例えば、CF<sub>4</sub>を用いたドライエッチングできるSi酸化物やSi窒化物などの絶縁膜材料を用いればよい。CF<sub>4</sub>などのフッ化物系エッチングガスを用いたドライエッチング法は、下部電極のAlやAl合金、およびその陽極酸化膜に対し、Si酸化物やSi窒化物を高い選択比でエッチングできる。ここでは、第2保護絶縁層19としてSi酸化物を用い、膜厚は薄膜型電子源の駆動電圧Vd（本実施例では5～10V）や絶縁層12の化成電圧Vox（本実施例では6V）で絶縁破壊しない十分な膜厚、本実施例では40nm（耐電圧は約40V）とした。

20

【0026】また、上部バス電極膜として積層膜を用い、上部バス電極下層16の材料として、例えばWを、上部バス電極上層17の材料として例えばAl-Nd合金を用いた。膜厚は、上部バス電極下層16は、後で形成する上部電極13が上部バス電極下層16の段差で断線しないように数nm～数10nm程度と薄くし、上部バス電極上層17は給電を十分にすること、および、後で形成する層間絶縁膜18のエッチングの際のストップバー膜とするため、数100nm程度と厚く成膜した。

20

【0027】続いて、図9に示すように、ホトエッチング工程により上部バス電極上層17と上部バス電極下層16を下部電極11とは直交するように加工して形成する。エッチングは、上部バス電極上層17のAl-Nd合金には例えば、磷酸、酢酸、硝酸の混合水溶液中のウェットエッチング、上部バス電極下層16のWにはアンモニアと過酸化水素の混合水溶液中のウェットエッチングやCF<sub>4</sub>、+O<sub>2</sub>ガスを用いたプラズマエッチングなどを用いる。

30

【0028】CF<sub>4</sub>、+O<sub>2</sub>ガスを用いたプラズマエッチングを用いた場合、第2保護絶縁層19のSiO<sub>2</sub>もある程度エッチングされるが、本発明の目的を実現するには、第2保護絶縁層19は上部バス電極15の下のみあればよいので問題はない。図9は、プラズマエッチングを用いた場合を示している。

40

【0029】次に、図10に示すように、層間絶縁膜18となる絶縁膜を成膜する。層間絶縁膜18は、例えば半導体素子等で絶縁膜として一般的に用いられているものを利用できる。すなわち、材料としてはSiO<sub>2</sub>、SiO<sub>3</sub>、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si<sub>3</sub>N<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>、ポリイミドなどが利用できる。

50

【0030】また、成膜法としては、スパッタリング膜、真空蒸着膜、化学気相成長膜、塗布法などを用いることができる。例えば、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、Si<sub>3</sub>N<sub>4</sub>などの成膜にはスパッタリング法や化学気相成長法、SiO<sub>2</sub>の成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは塗布法などを用い

7  
ることができる。本実施例では、スバッタ法により成膜したSi<sub>x</sub>N<sub>y</sub>膜を用いた。膜厚は、例えば0.3~1μm程度とする。

【0031】続いて、図11に示すように、ホトエッチング工程により、層間絶縁膜18に電子放出部を含む領域を開口する。この加工は、例えば、CF<sub>x</sub>を用いたドライエッティング法等を用いればよい。CF<sub>x</sub>などのフッ化物系エッティングガスを用いたドライエッティング法は、層間絶縁膜18のSi<sub>x</sub>N<sub>y</sub>膜を上部電極上層17のAl合金に対して高い選択比でエッティングするので、上部電極上層17をストッパー膜として層間絶縁膜18のみを加工することが可能である。引き続いて、図12に示すように、電子放出部の上部バス電極上層17を、磷酸、酢酸、硝酸の混合水溶液中でウェットエッティングする。このエッチャントはAl合金をエッティングするが、層間絶縁膜18に用いたSi<sub>x</sub>N<sub>y</sub>膜、上部バス電極下層16のWと第2保護絶縁層19のSiO<sub>2</sub>はほとんどエッティングしない。したがって、上部バス電極上層17のみ高い選択比でエッティングする。そのため、層間絶縁膜18に対し、上部バス電極上層17が内側に後退し、開口部が底状の層間絶縁膜18が形成される。

【0032】次に、図13に示すように、ホト工程、CF<sub>x</sub>+O<sub>2</sub>ガスを用いたドライエッティング工程により、上部バス電極下層16のWと第2保護絶縁層19のSiO<sub>2</sub>を一括でドライエッティングし、電子放出部を開口する。この際、上部バス電極下層16のWが上部バス電極上層17および層間絶縁膜18より電子放出部側に延在するように加工することで、後で形成する上部電極13と接触をとることができる。

【0033】CF<sub>x</sub>などのフッ化物系エッティングガスを用いたドライエッティング法は、上部電極下層16のWおよび第2保護絶縁層19のSiO<sub>2</sub>を、Al合金の陽極酸化膜からなる絶縁層12、および保護絶縁層14に対して高い選択比でエッティングするので、絶縁層12へのダメージを少なくすることができます。また、本実施例のように、第2保護絶縁層19と、第2保護絶縁層19に接する上部バス電極下層16を、CF<sub>x</sub>などのフッ化物系エッティングガスを用いたドライエッティングで加工できるSiO<sub>2</sub>、Si<sub>x</sub>N<sub>y</sub>、W等を用いておくと、第2保護絶縁層19が上部バス電極下層16の下に一括エッティングにより自己整合的に形成されるとともに、工程が簡略化され、本発明の実施において特に有効である。

【0034】次に、絶縁層12を再度陽極酸化し、ダメージを修復する。本実施例では、上部バス電極下層16の下に第2保護絶縁層19を有しているので正常に再酸化を行うことができる。

【0035】図14に、本発明による第2保護絶縁層19(下地絶縁層)を設けた場合における6V定電圧での化成電流特性(a)を、従来の第2保護絶縁層19を有していない場合(b)と比較して示す。第2保護絶縁層

10

19のない従来構造では、酸化中に第1保護絶縁層14

に絶縁破壊が度々生じ、化成電流の増大が観測されるの

に対し、第2保護絶縁層19を有する本実施例の構造では、化成電流は酸化の進行により単調に減少している。

これは、本発明の構造が、第1保護絶縁層14の欠陥があっても上部バス電極15の第2保護絶縁層19が欠陥を保護し、化成電圧V<sub>ox</sub>に対し十分な絶縁耐性を確保していることを示している。これは、第2保護絶縁層19の欠陥が、第1保護絶縁層14の欠陥位置と重なる可能性が非常に低いためである。

【0036】図15に示すように、絶縁層12の修復後、最後に上部電極13膜の成膜を行う。成膜法は例えばスバッタ成膜を用いる。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は数nmである。ここでは5nmとした。成膜された薄い上部電極13は、層間絶縁膜18の開口部の底状の段差で切断され、各電子源毎に分離されるとともに、上部バス電極上層17および層間絶縁膜18より電子放出部側に延在する上部バス電極下層16のWと接触し、給電される構造となる。

【0037】本実施例では、上部バス電極の形成前に絶縁層12をあらかじめ陽極酸化で形成し、上部バス電極等の加工後、絶縁層12の再酸化を行ってダメージを修復したが、上部バス電極等の加工後初めて絶縁層12の陽極酸化を行うことも可能である。この工程は、陽極酸化が1回のみでよいため工程が短縮できる。特に、本実施例の構造は、上部バス電極上層17のウェットエッティングの際、上部バス電極下層16と第2保護絶縁層19が二重に下部電極11を保護するので、下部電極11の電極表面が荒れにくく良質の絶縁層12を形成できる。これに対して、第2保護絶縁層19のない従来構造では、上部バス電極下層16の薄いWのみで下部電極11を保護しなければならず、下部電極11表面が荒れやすく、良質の絶縁層12を形成しにくかった。

【0038】以上の実施例で作製した本発明の薄膜型電子源アレイ中の1素子の断面構造を図1に示す。本発明は、上部バス電極下層16の下に第2保護絶縁層19を有しており、第1保護絶縁層14に欠陥がある場合でもそれを被覆し、耐電圧を向上させるため、駆動電圧V<sub>d</sub>や、上部バス電極形成後の陽極酸化中に印加される化成電圧V<sub>ox</sub>により第1保護絶縁層14が絶縁破壊するのを防止することができる。

【0039】つぎに、上記方法によって作製した薄膜型電子源を、図16に示すように、マトリクス状に配置したアレイ基板と蛍光面(表示側基板)とをスペーサを介し貼りあわせ、本発明による表示装置を形成する方法について説明する。なお、図16、18、19において、上部バス電極15'は、図面の簡略化のため上部バス電極下層16、上部バス電極上層17をまとめたものとして描いている。

20

30

40

50

【0040】表示側基板の作成は、図17に示すように行う。面板110には透光性のガラスなどを用いる。また、表示装置のコントラストを上げる目的でブラックマトリクス120を形成する。ブラックマトリクス120は、PVA(ポリビニルアルコール)と重クロム酸ナトリウムとを混合した溶液を面板110に塗布し、ブラックマトリクス120を形成したい部分以外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成する。

【0041】次に、赤色蛍光体111を形成する。蛍光体粒子にPVA(ポリビニルアルコール)と重クロム酸アンモニウムとを混合した水溶液を面板110上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体111をバターン化する。バターンは、図17に示したようなストライプ状にバターン化する。同様にして、緑色蛍光体112と青色蛍光体113を形成する。蛍光体としては、例えば、赤色にY<sub>2</sub>O<sub>3</sub>:Eu(P22-R)、緑色にZnS:Cu、A1(P22-G)、青色にZnS:Ag、C1(P22-B)を用いなければならない。

【0042】次いで、ニトロセルロースなどの膜でフィルミングした後、面板110全体にA1を、膜厚75nm程度蒸着してメタルバック114とする。このメタルバック114が加速電極として働く。その後、面板110を大気中400°C程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、表示側基板が完成する。

【0043】このようにして製作した表示側基板と基板10とをスペーサ30を介し、周囲の枠116をフリットガラス115を用いて封着する。図18に、貼り合わせた表示パネルのA-A'断面、B-B'断面に相当する部分を示す。面板110-基板10間の距離は1~3mm程度になるようにスペーサ30の高さを設定する。スペーサ30は、上部電極13の膜で被覆されている層間絶縁膜18上に立てる。ここでは、説明のため、R(赤)、G(緑)、B(青)に発光するドット毎に全てスペーサ30を立てているが、実際は機械強度が耐える範囲で、スペーサ30の枚数(密度)を減らし、大体1cmおきに立てればよい。

【0044】封着した表示パネルは、10<sup>-7</sup>Torr程度の真空中に排気して、封じきる。封じ後、ゲッターを活性化し、パネル内の真空を維持する。例えば、Baを主成分とするゲッター材の場合、高周波誘導加熱等によりゲッター膜を形成できる。また、Zrを主成分とする非蒸発型ゲッターを用いてもよい。

【0045】このように本実施例では、面板110と基板10間の距離は1~3mm程度と長いので、メタルバック114に印加する加速電圧を3~6KVと高電圧に

出来る。したがって、上述のように、蛍光体には陰極線管(CRT)用の蛍光体を使用できる。

【0046】図19はこのようにして製作した表示パネルの駆動回路への結線図である。マトリクス状に配置された薄膜型電子源のアレイ基板において、行方向(もしくは列方向)に配置された下部電極11は下部電極駆動回路40へ結線し、列方向(もしくは行方向)に配置された上部バス電極15'は上部電極駆動回路50に結線する。m番目の下部電極11であるKmと、N番目の上部バス電極16であるCNの交点を(m, N)で表すこととする。メタルバック114には3~6KV程度の加速電圧60を常時印加する。

【0047】図20は、各駆動回路の発生電圧の波形の一例を示す。時刻t0ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体は発光しない。時刻t1において、下部電極11のK1には-V1なる電圧を、上部バス電極15のC1、C2には+V2なる電圧を印加する。交点(1, 1)、(1, 2)の下部電極11-上部電極13間に(V1+V2)なる電圧が印加されるので、(V1+V2)を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子はメタルバック114に印加された加速電圧60により加速された後、蛍光体に入射し、発光させる。時刻t2において、下部電極11のK2に-V1なる電圧を印加し、上部バス電極15のC1にV2なる電圧を印加すると、同様に交点(2, 1)が点灯する。

【0048】このようにして、上部バス電極15に印加する信号を変えることにより所望の画像または情報を表示することが出来る。また、上部バス電極15への印加電圧V1の大きさを適宜変えることにより、階調のある画像を表示することが出来る。絶縁層12中に蓄積される電荷を開放するための反転電圧の印加は、ここでは下部電極11の全てに-V1を印加した後、全下部電極11にV3、全上部バス電極15に-V3'を印加することにより行った。

【0049】

【発明の効果】以上により、本発明によれば、欠陥のない薄膜型電子源を作製することができ、画像表示装置の製造歩留まりを向上できる。

【図面の簡単な説明】

【図1】本発明の薄膜型電子源の構造を示す図。

【図2】薄膜型電子源の動作原理を示す図。

【図3】薄膜型電子源の一般構造を示す図。

【図4】薄膜型電子源の絶縁層を陽極酸化で形成する際の模式図。

【図5】本発明の薄膜型電子源の製法工程(1)を示す図。

【図6】本発明の薄膜型電子源の製法工程(2)を示す図。

11

【図7】本発明の薄膜型電子源の製法工程（3）を示す図。

【図8】本発明の薄膜型電子源の製法工程（4）を示す図。

【図9】本発明の薄膜型電子源の製法工程（5）を示す図。

【図10】本発明の薄膜型電子源の製法工程（6）を示す図。

【図11】本発明の薄膜型電子源の製法工程（7）を示す図。

【図12】本発明の薄膜型電子源の製法工程（8）を示す図。

【図13】本発明の薄膜型電子源の製法工程（9）を示す図。

【図14】本発明の構造を用いた場合（a）と従来構造を用いた場合（b）の再陽極酸化の特性を比較した図。

【図15】本発明の薄膜型電子源の製法工程（10）を示す図。

【図16】本発明の薄膜型電子源を用いた表示装置の電子源基板を示す図。

\* 【図17】本発明の薄膜型電子源を用いた表示装置の蛍光面基板を示す図。

【図18】本発明の薄膜型電子源を用いた表示装置の断面を示す図。

【図19】本発明を用いた表示装置での駆動回路への結線を示した図。

【図20】本発明の表示装置での駆動電圧波形を示した図。

【符号の説明】

10…基板、11…下部電極、12…絶縁層、13…上部電極、14…保護絶縁層、15、15'…上部バス電極、16…上部バス電極下層、17…上部バス電極上層、18…層間絶縁膜、19…第2保護絶縁層、20…真空、21…電解液、22…陰極、23…欠陥、25…レジスト膜、30…スペーサ、40…下部電極駆動回路、50…上部電極駆動回路、60…加速電圧、70…外部回路、110…面板、111…赤色蛍光体、112…緑色蛍光体、113…青色蛍光体、114…メタルバック、115…フリットガラス、116…枠。

\*20

【図1】

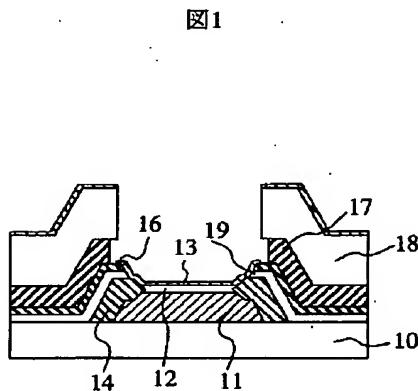


図1

【図2】

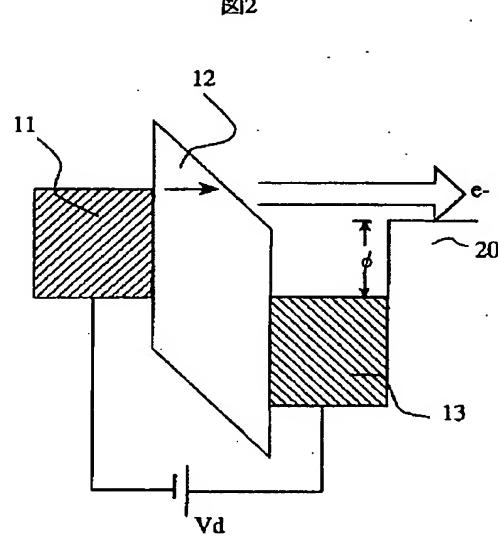
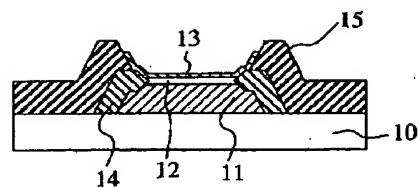


図2

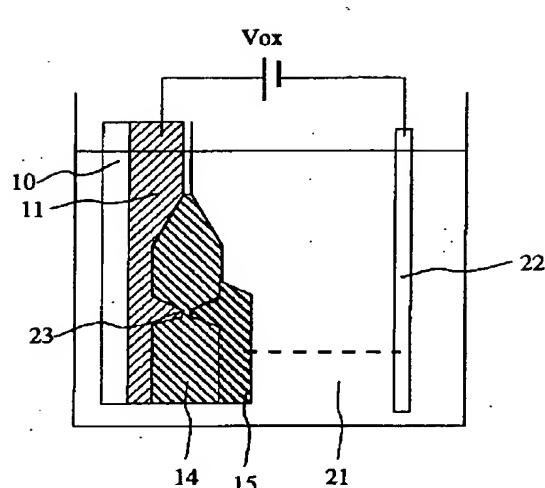
【図3】

図3



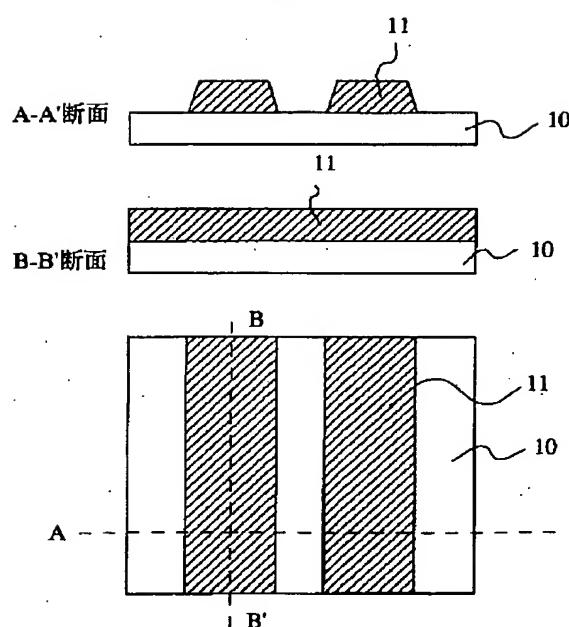
【図4】

図4



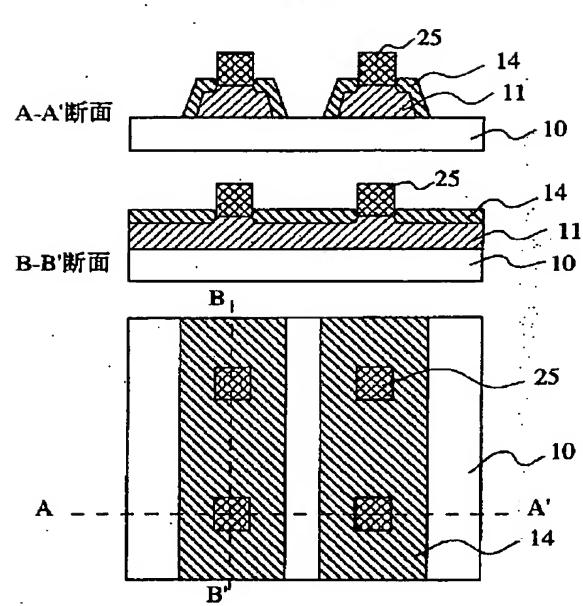
【図5】

図5

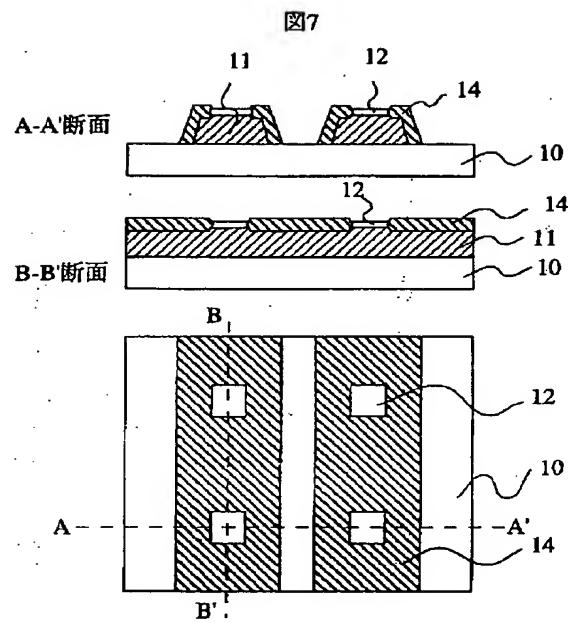


【図6】

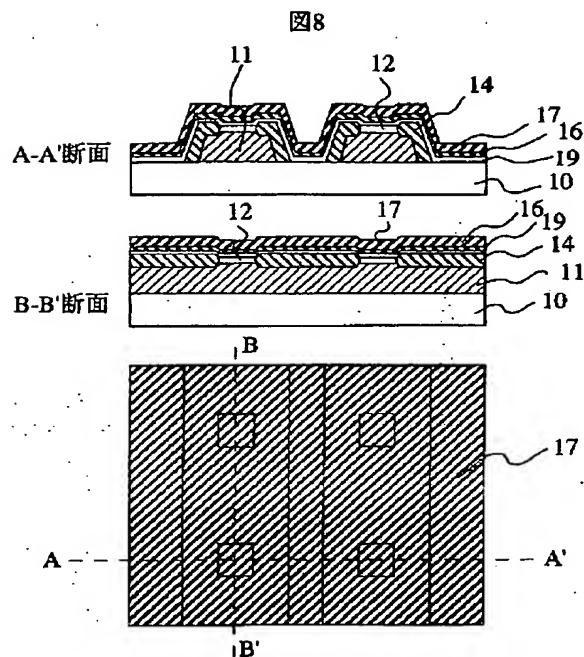
図6



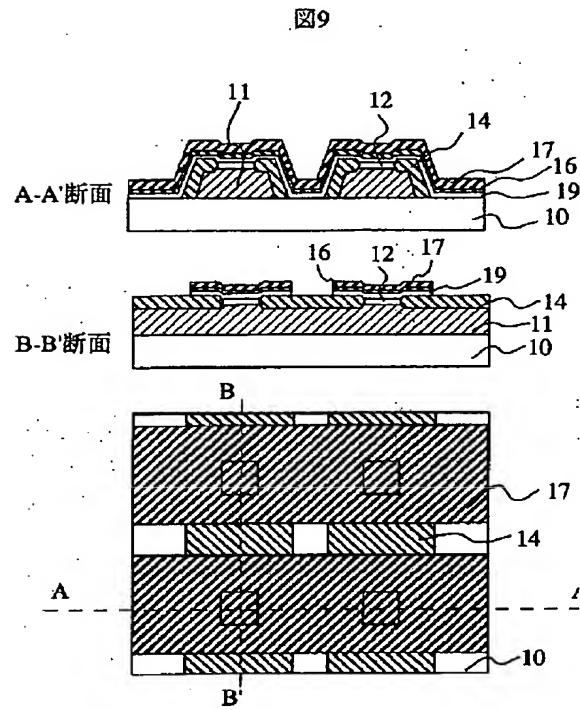
【図7】



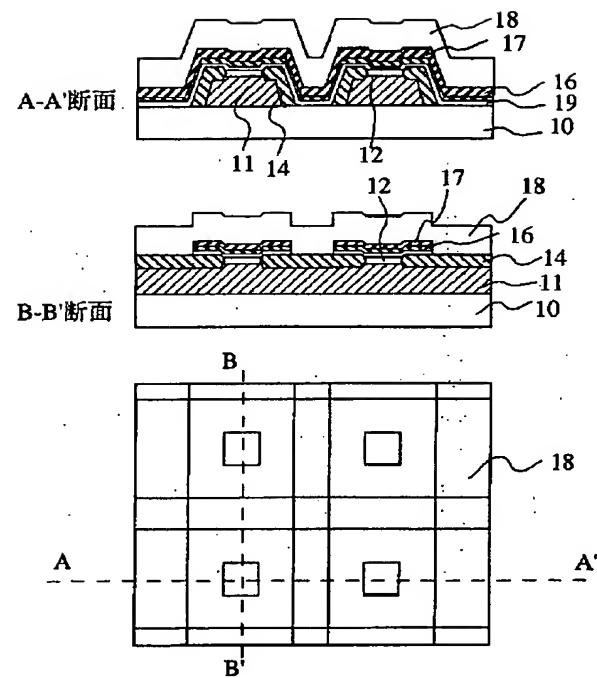
【図8】



【図9】

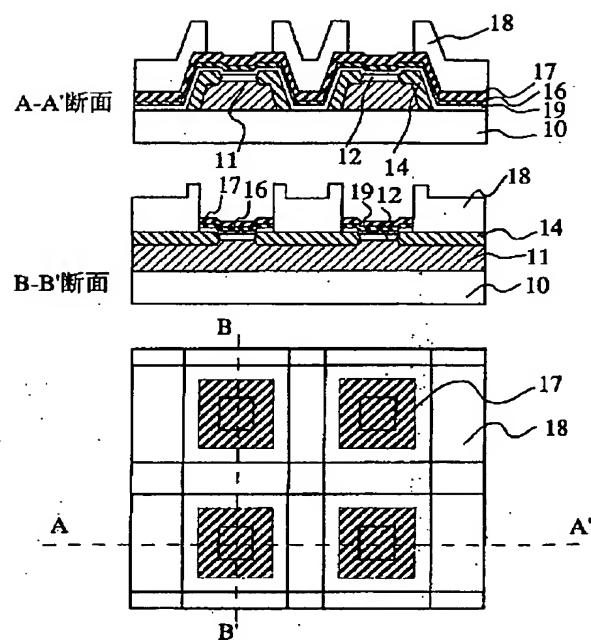


【図10】



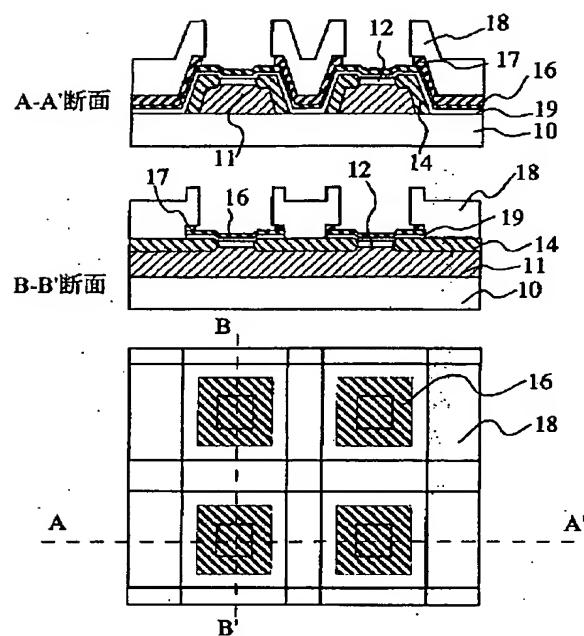
【図11】

図11



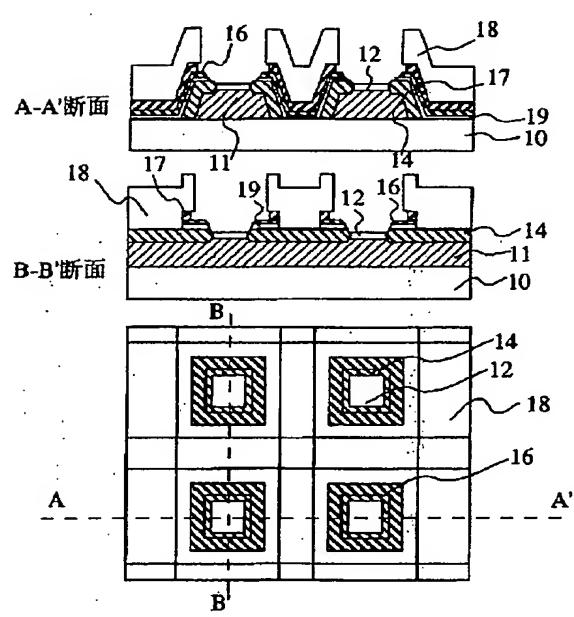
【図12】

図12



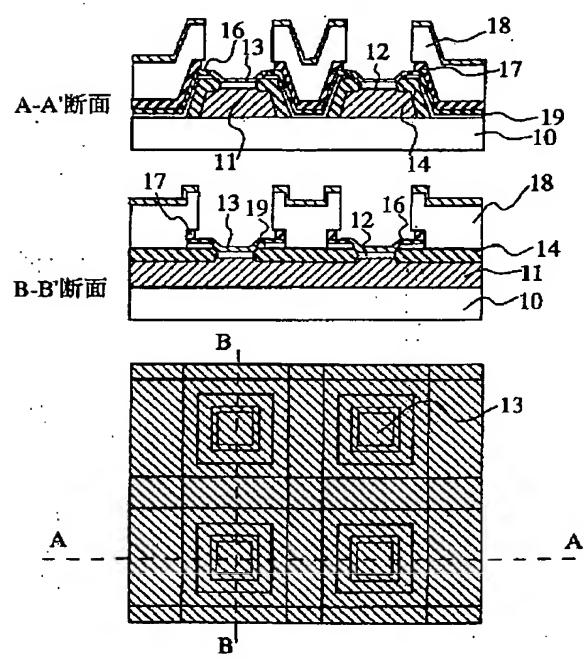
【図13】

図13



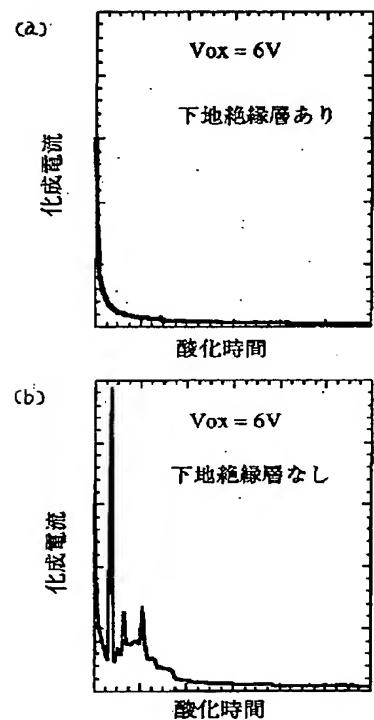
【図15】

図15



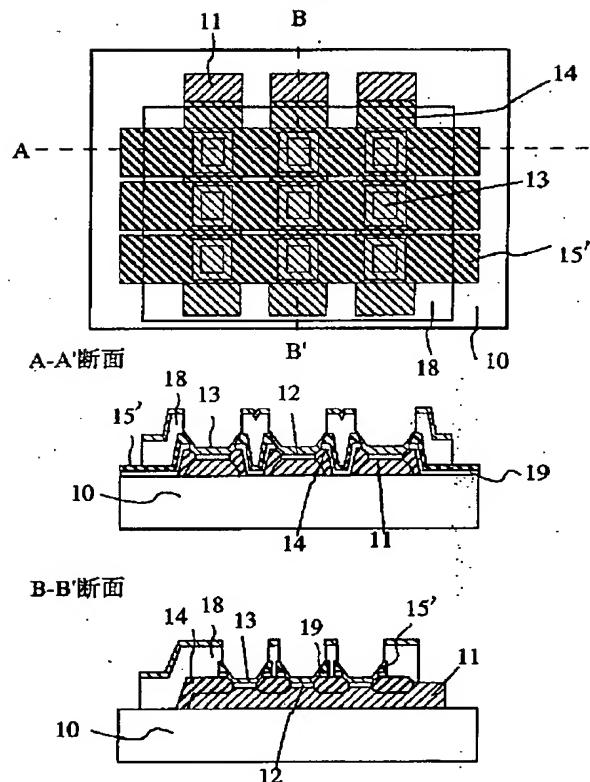
【図14】

図14



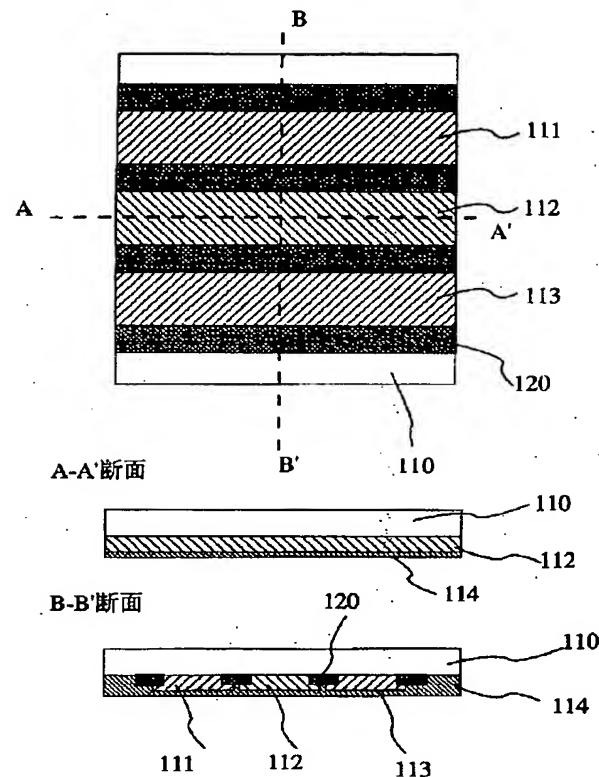
【図16】

図16



【図17】

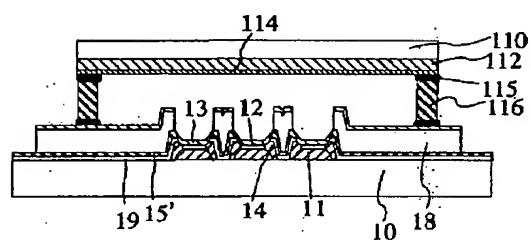
図17



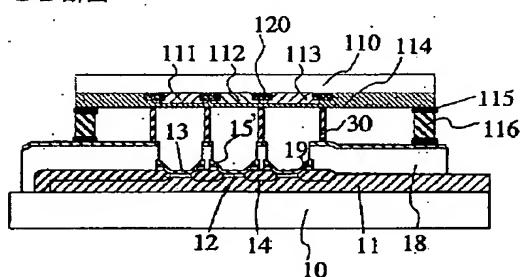
【図18】

図18

A-A'断面

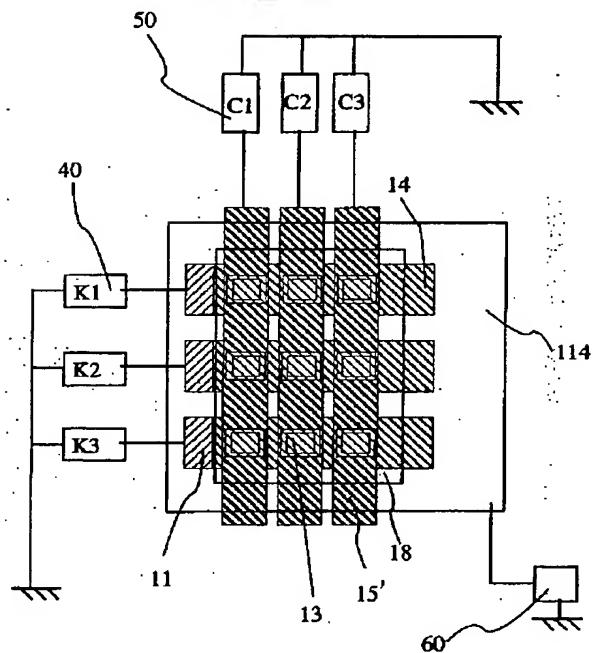


B-B'断面--



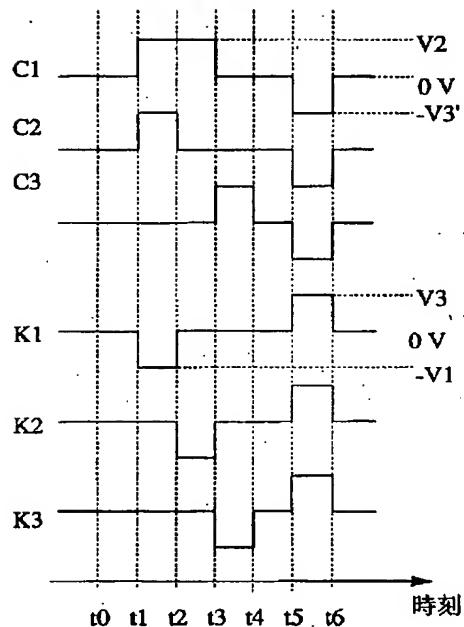
【図19】

図19



【図20】

図20




---

フロントページの続き

(72)発明者 鈴木 瞳三  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所日立研究所内

(72)発明者 梶 洋一  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所日立研究所内  
 F ターム(参考) SC031 DD17 DD19  
 SC036 EE02 EE08 EE14 EF01 EF06  
 EF09 EG12 EH06